

No.

Date

Handwritten notes in the center of the page, possibly including the characters 'L', 'R', and 'M'.

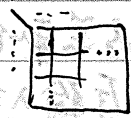
Handwritten notes on the right edge of the page, including the characters 'i', 'r', and 'm'.

数制与编码

逻辑代数：完全确定/不完全确定(0, X, d) : 卡诺图化简/Q-M化简

最小项：与-或表达式 SOP

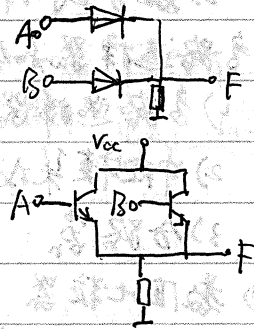
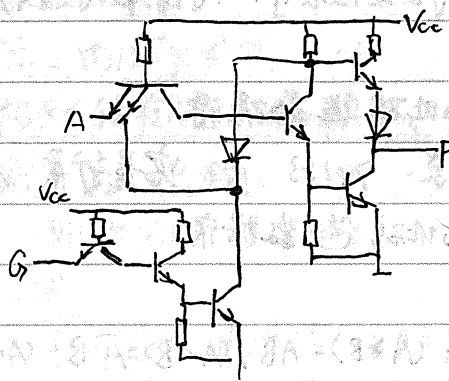
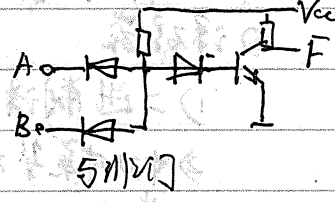
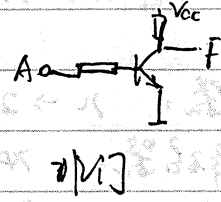
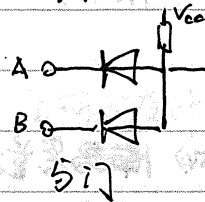
最大项：或-与表达式 POS



检索表
标准蕴含表

逻辑运算的电路实现

1. 双极型：TTL



与门

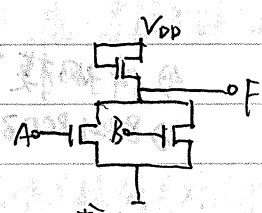
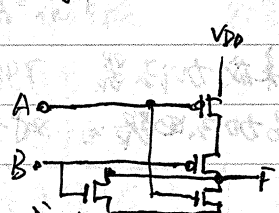
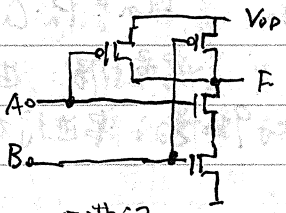
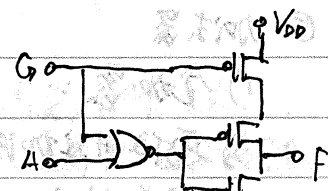
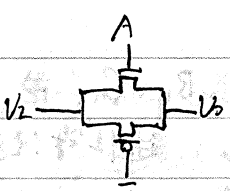
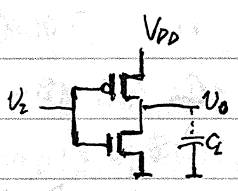
或门

与非门

或非门

异或门

2. MOS型：CMOS



非门

传输门

与门

或门

与非门

或非门

四. 组合逻辑电路 分析与设计.

1. 分析

① 编码器及优先编码器

1) 互斥输入的编码器: $2^n \rightarrow n$.

2) 优先编码器: $2^n \rightarrow n$. 带不灵敏输入项.

3) 中规模集成优先编码器: 74148 ~~容量扩展~~ 容量扩展: $(8-3) \times 2 \Rightarrow (16-4)$

② 译码器

1) 二进制译码器: $n \rightarrow 2^n$

2) 中规模集成译码器: 74139(54) ~~容量扩展~~ 容量扩展: 前级输出作后级选

3) 数字显示译码器. 列出真值表并化简得最简逻辑表达式

③ 多路选择器和分路器

1) 多路选择器: 以地址码选数据源.

2) 中规模集成多路选择器: 74153 容量扩展: 分级选.

3) 分路器: 以地址码选数据宿.

④ 数值比较器

1) 1位二进制数的比较: $(A > B) = A\bar{B}$, $(A < B) = \bar{A}B$, $(A = B) = \overline{A \oplus B}$

2) 2位二进制数的比较: 可由1位比较器和其它组合逻辑构成

3) 中规模集成数值比较器: 7485 容量扩展: 片间 "L", "E", "G" 对接.

⑤ 加法器

1) 全加器: $A_n, B_n, C_{n-1} \Rightarrow S_n, C_n$

2) 逐位进位加法器: 进位符传递

3) 超前进位加法器:
$$\begin{cases} P_n = A_n \oplus B_n \\ G_n = A_n \cdot B_n \end{cases} \quad \begin{cases} S_n = P_n \oplus C_{n-1} \\ C_n = P_n \cdot C_{n-1} + G_n \end{cases}$$

4) 中规模集成加法器: 7483 容量扩展: 进位符传递.

5) 8421 BCD码加法电路: 对和大于9的数, 需进行加6的修正.

亚稳态: 同时至则逻辑错误.
 一次变化: 无论输入变几次, 输出仅变一次.
 空翻: 输出随输入在 CP=1 时多次变.

No. _____
Date _____

设计

真值表 $\xrightarrow{\text{化简}}$ 逻辑表达式 $\xrightarrow{\text{消除竞争冒险}}$ 逻辑图.

竞争和冒险: 过渡性

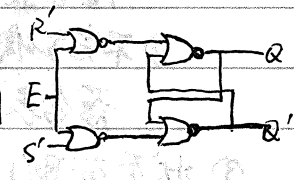
- ① 代数法消除: 添加冗余项, 消除可能出现如 $A+A$ 或 $A \cdot \bar{A}$ 形式.
- ② 卡诺图法消除: 添加冗余项, 搭接所有相邻的最小项.

时序逻辑电路 分析与设计

1. 分析

① 锁存器和触发器

- 1) 锁存器: 电平触发型, 无 CP
- 门控 R-S 锁存器: 亚稳态、一次变化、空翻
- D 锁存器: 空翻.



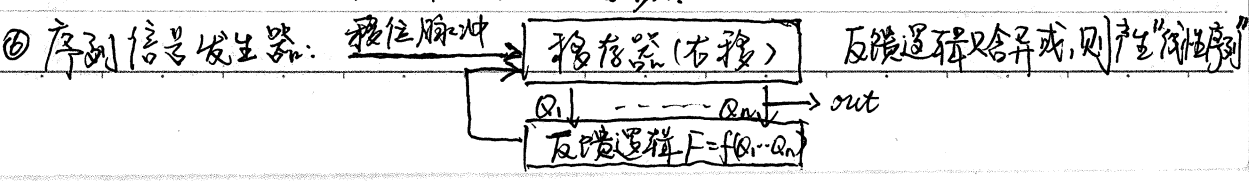
2) 触发器: 脉冲触发型, 有 CP

主从型:

- 主从型 R-S 触发器: 亚稳态、一次变化 $Q^{n+1} = S^n + Q^n \bar{R}^n$ ($R^n \cdot S^n = 0$)
- 主从型 J-K 触发器: 一次变化 $Q^{n+1} = J^n \bar{Q}^n + \bar{K}^n Q^n$
- 主从型 D 触发器: $Q^{n+1} = D^n$

边沿触发型: ...

- ② 寄存器: 1 个触发器 1 bit; 异步: 与 CP 无关; 同步: 与 CP 有关.
- ③ 计数器: 74161: 异步清零、同步计数. 容量扩展: 进位接下级使能端.
74160: 同上, 十进制. 容量扩展: 同上.
- ④ 移位寄存器: 存储、串-并转换、并-串转换. 容量扩展: 串行级接下级串行入
- ⑤ 移位型计数器: { 环形计数器: n 分频
扭环计数器: $2n$ 分频.



同步: 无竞争冒险; 周期性功耗
异步: 毛刺, 竞争冒险; 难设计

(有限状态机: Finite State Machine)

eg. 同步时序电路分析

Mealy 型: 输入、状态 \rightarrow 输出
Moore 型: 状态 \rightarrow 输出

触发器类型 \rightarrow 触发器的状态方程 \rightarrow 输出方程 \rightarrow 状态表 \rightarrow 波形图
触发器个数 \rightarrow ~~触发器~~ 状态数 \rightarrow 状态方程 \rightarrow 状态图 \rightarrow 功能

2. (同步时序电路)设计

① 画出原始状态图和原始状态表。

② 状态化简

1) 完全确定的时序电路的状态化简。

蕴含表 \rightarrow 关联比较 \rightarrow 最大等价类 \rightarrow 最小化状态表

2) 不完全确定的时序电路的状态化简。

蕴含表 \rightarrow 关联比较 \rightarrow 最大相容类 \rightarrow 最小化状态表

③ 状态分配: 相邻分配准则。

1) 相同的下一状态的两现态

2) 不同输入下一现态的两下态。

3) 输出相同的两现态。

④ 触发器选型: 写出输出函数; 画出 FSM 的逻辑图

⑤ 加入上电复位电路或增添附加电路使 FSM 自启动。

3. 竞争和冒险: 本质性。

① 增加缓冲驱动器防时钟偏移。

② 信号的时间配合

③ 用启动电路可靠的异步复位和置位信号。

④ 可靠的时钟信号。

六. 存储器和可编程逻辑器件.

寄存器: 全读出
存储器: 根据地址码选择性读出.

1. RAM: random access memory



① SRAM: 不刷新、容量小、功耗大

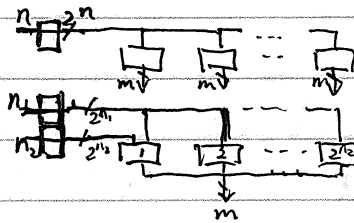
② DRAM: 需刷新、容量大、功耗小.

容量扩展:

① 位扩展: 一地址码多 I/O

② 字扩展: 多地址码 - I/O.

③ 字位扩展 ...



2. ROM: read only memory

① PROM: 一次编程; 熔丝.

② EPROM: 多次编程; 紫外线复位.

③ E²PROM: 多次编程; 隧道效应

④ flash memory

3. PLD: programmable logic device

① SPLD: 与阵(地址) 或阵(存储).

PAL, GAL	✓	✗
PLA	✓	✓
ROM	✗	✓

② CPLD: 多个 GAL.

③ FPGA: 多个 CLB

